

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-031918

(43)Date of publication of application : 29.01.2004

(51)Int.Cl. H01L 21/768
H01L 21/316(21)Application number : 2003-087857 (71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD(22)Date of filing : 27.03.2003 (72)Inventor : TANAKA JUN
OTANI YOSHIHARU
OGATA KIYOSHI
SUZUKI YASUMICHI
HOTTA KATSUHIKO

(30)Priority

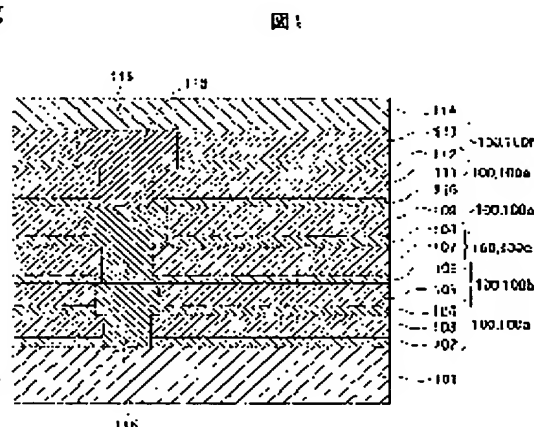
Priority number : 2002109901 Priority date : 12.04.2002 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of the mechanical strength of the whole elements, and to reduce the delay of a signal propagating through wirings.

SOLUTION: A first insulating layer and a third insulating layer configuring each wiring layer 100 contain a silicon carbide/nitride film, silicon carbide and/or silicon oxide, the second insulating layer of a lower wiring layer contains the silicon oxide, and the second insulating layer of an upper wiring layer contains fluorinated silicon oxide and/or carbonated silicon oxide. The relative dielectric constant of the second insulating layer of the lower wiring layer is set so as to be smaller than the relative dielectric constant of the second insulating layer of the upper wiring layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-31918

(P2004-31918A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int.Cl.⁷

H01L 21/768

H01L 21/316

F I

H01L 21/90

H01L 21/316

H01L 21/90

B

M

N

テーマコード (参考)

5F033

5F058

審査請求 未請求 請求項の数 12 O L (全 21 頁)

(21) 出願番号 特願2003-87857 (P2003-87857)
(22) 出願日 平成15年3月27日 (2003.3.27)
(31) 優先権主張番号 特願2002-109901 (P2002-109901)
(32) 優先日 平成14年4月12日 (2002.4.12)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(74) 代理人 100084032
弁理士 三品 岩男
(72) 発明者 田中 順
神奈川県横浜市戸塚区吉田町292番地
株式会社日立製作所生産技術研究所内
(72) 発明者 大谷 美晴
神奈川県横浜市戸塚区吉田町292番地
株式会社日立製作所生産技術研究所内
最終頁に続く

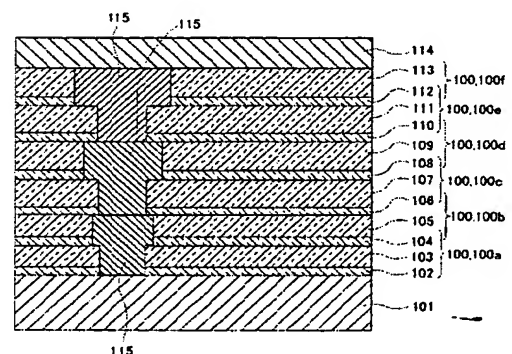
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】素子全体の機械的な強度の低下を防ぎ、配線を伝播する信号の遅延を低減する。

【解決手段】各配線層100を構成する第1の絶縁層及び前記第3の絶縁層がシリコン炭化窒化膜、シリコン炭化物及び／又はシリコン酸化物を含み、下層配線層の第2の絶縁層はシリコン酸化物を含み、上層配線層の第2の絶縁層はフッ素添加シリコン酸化物及び／又は炭素添加シリコン酸化物を含む。下層配線層の第2の絶縁層の比誘電率を、上層配線層の第2の絶縁層の比誘電率よりも小さくする。

図1



【特許請求の範囲】

【請求項1】

基板上に複数の配線層が積層された半導体装置であつて、
前記配線層は、
第1の絶縁層、第2の絶縁層及び第3の絶縁層と、
前記第1～第3の絶縁層を貫通して形成された導体配線とをそれぞれ備え、
前記第1の絶縁層及び前記第3の絶縁層は、
シリコン炭化窒化膜、シリコン炭化物及びシリコン酸化物のうちの少なくともいずれかを含み、
前記配線層のうち下層部に位置する配線層の第2の絶縁層はシリコン酸化物を含み、
前記配線層のうち上層部に位置する配線層の第2の絶縁層はフッ素添加シリコン酸化物及び炭素添加シリコン酸化物の少なくともいずれかを含むこと特徴とする半導体装置。

【請求項2】

基板上に複数の配線層が積層された半導体装置であつて、
前記配線層は、
第1の絶縁層、第2の絶縁層及び第3の絶縁層と、
前記第1～第3の絶縁層を貫通して形成された導体配線とをそれぞれ備え、
前記第1の絶縁層及び前記第3の絶縁層は、
シリコン炭化窒化膜、シリコン炭化物及びシリコン酸化物の少なくともいずれかを含み、
前記配線層のうち下層部に位置する配線層の第2の絶縁層の比誘電率が、前記配線層のうち上層部に位置する配線層の第2の絶縁層の比誘電率よりも小さいことを特徴とする半導体装置。

【請求項3】

前記配線層のうち前記下層部に位置する配線層の第2の絶縁層の比誘電率が3.0未満であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記配線層のうち前記下層部に位置する配線層の第2の絶縁層が微小空孔を有することを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】

前記微小空孔の半数以上の直径が0.05nm以上4nm以下であることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記配線層のうち前記下層部に位置する配線層の第2の絶縁層がSiOを含有することを特徴とする請求項1～5のいずれかに記載の半導体装置。

【請求項7】

前記配線層のうち前記下層部に位置する配線層の第2の絶縁層がシルセスキオキサン水素化合物又はシルセスキ

オキサンメチル化合物を含む膜を加熱して得られる絶縁膜であることを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項8】

前記配線層のうち前記下層部に位置する配線層の第2の絶縁層がアルキルシラン化合物、アルコキシシラン化合物を含む膜からなることを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項9】

前記配線層のうち下層部に位置する前記配線層の前記第2の絶縁層の構成成分と、前記配線層のうち上層部に位置する前記配線層の前記第2の絶縁層の構成成分とが異なることを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】

隣接する前記配線層のうち、下層に配置された配線層の第3の絶縁層が上層に配置された配線層の第1の絶縁層を兼ねることを特徴とする請求項1～9のいずれかに記載の半導体装置。

【請求項11】

基板と、
上記基板上に設けられた半導体素子と、
第1の絶縁層、比誘電率が3.0未満の絶縁膜材からなる第2の絶縁層、第3の絶縁層及び導体配線を備えた配線層と、
前記配線層を構成する材料を用いて、前記半導体素子の周辺を囲むように配置されたガードリング層とを備えることを特徴とする半導体装置。

【請求項12】

前記第2の絶縁層は、
0.05nm以上4nm以下の径を有する微小空孔を内部に有するシリコン酸化膜であることを特徴とする請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率特性を有する絶縁膜を層間絶縁膜に用いることで、信号配線遅延を低減し、これにより素子性能の向上を図った半導体装置に関する。

【0002】

【従来の技術】

半導体素子の高集積化とチップサイズの縮小に伴い、配線の微細化、狭ピッチ化及び多層化が進められている。これに伴って、信号が配線を伝播するときの遅れ時間、即ち配線遅延が増加する傾向にあり、半導体素子を用いた電子機器を使用するに際して大きな問題となっている。

一般に、配線を伝播する信号の速度は配線抵抗(R)と配線間容量(C)の積(RC)によって決まるため、配線抵抗を下げる、又は配線間容量を小さくするこ

3

と、即ち層間絶縁膜の低誘電率化を行うことが配線遅延を低減するために必要である。

【0003】

配線抵抗を下げることに對して、高性能な半導体素子では、配線材料をアルミニウムから銅に替えることが進められており、特に銅配線を層間絶縁膜層に埋め込むダマシン構造のプロセス適用が盛んに行われている。

【0004】

また、層間絶縁膜の低誘電率化に對しては、従来、半導体装置の層間絶縁膜にはCVD（化学蒸着：Chemical Vapor Deposition）法を用いて成膜されたシリコン酸化膜（ SiO_2 ：比誘電率4.0程度）やシリコン窒化膜（ Si-N ：比誘電率7.0程度）等の無機系材料が使用されていた。そして、従来のプロセスを踏襲できる低誘電率材料として、最近ではフッ素添加シリコン酸化膜（ Si-O-F ：比誘電率3.6程度）の採用が相次いでいる。

【0005】

しかしながら、フッ素添加シリコン酸化膜の誘電率は比較的高く、これを層間絶縁膜として使用した場合には層間容量を低減する効果が十分でないため、配線プロセス90nmノード世代以降の半導体装置ではさらに低い誘電率を有する材料が必要とされている。

【0006】

比誘電率が3.5を下回る特性を有する層間絶縁膜材料として、種々の材料が提案されており、大きく区分すると、基板に塗布した後に加熱により膜を形成するいわゆるスピニンググラス材料や同様に成膜形成する有機系材料と、CVD法を用いて成膜形成する手法が検討も検討されている。

【0007】

スピニンググラス材料としては、シルセスキオキサン水素（Hydrogen Silsesquioxane）化合物又はシルセスキオキサンメチル（Methyl Silsesquioxane）化合物を含む材料が挙げられる。シルセスキオキサン水素化合物又はシルセスキオキサンメチル化合物を主成分として含む材料が好ましい。なお、本明細書において主成分とは、最も配合比（モル比）の高い成分をいう。

【0008】

シルセスキオキサン水素化合物を主成分とする塗布溶液は、一般式（ $\text{HSiO}_{3/2}$ ） $_n$ で表される化合物をメチルイソブチルケトンなどの溶媒に溶解させたものである。この溶液を基板に塗布し、100～250℃程度の温度で中間加熱したのち、窒素雰囲気中などの不活性雰囲気内にて350～450℃の温度で加熱することにより、 Si-O-Si の結合がラダー構造的に形成され、最終的に SiO を主成分とする絶縁膜が形成される。

【0009】

シルセスキオキサンメチル化合物を主成分とする塗布溶

4

液は、一般式（ $\text{CH}_3\text{SiO}_{3/2}$ ） $_n$ で表される化合物をメチルイソブチルケトンなどの溶媒に溶解させたものである。この溶液を基板に塗布し、100～250℃程度の温度で中間加熱したのち、窒素雰囲気中などの不活性雰囲気内にて350～450℃の温度で加熱することにより、 Si-O-Si の結合がラダー構造的に形成され、最終的に SiO を主成分とする絶縁膜が形成される。

【0010】

有機絶縁膜材料としては、炭化水素系樹脂であるポリイミド、ポリパラキシリレン、ポリアリーレンエーテル、ポリアリーレン、ベンズシクロブテン、ポリナフタレン等の高分子材料が知られている。これらの材料は、炭素原子を含有することで膜の密度を低減させ、また分子（モノマ）自身の分極率を小さくすることで低誘電率を達成している。

【0011】

上述のようなスピニンググラス膜、有機膜、CVD膜といった層間絶縁膜の比誘電率をさらに低減する手法として、膜中に微小空孔を形成して多孔質膜とすることが知られている。上記の材料やプロセスに関して、「International Technology Roadmap for Semiconductors」（1999年編）第163～186頁、特開2000-340569号公報、特開2001-274239号公報に開示されている。

【0012】

しかしながら、上述した従来技術において、比誘電率が3.5を下回る特性を有する層間絶縁膜では、CVD成膜のシリコン酸化膜やシリコン窒化膜に比べて、絶縁膜の硬度や弾性率といった機械的強度が本質的に低いという問題点を抱えている。

【0013】

このような絶縁膜において、さらに比誘電率を低減するため膜中に微小空孔を形成して多孔質化することは、機械的な強度をさらに劣化させる方向にあって、現実的ではないとされていた。

【0014】

絶縁膜の比誘電率を下げる手段として、ポリイミドなどの絶縁性有機ポリマを用いることがある。有機ポリマはその比誘電率が4未満であるので好都合であるが、無機膜に比べて物理的に機械的強度が低く、また吸湿性や透湿性が高いという欠点がある。また、層間絶縁膜として利用する場合、素子構造の機械的強度の低下及び吸湿水分による配線の腐食等、素子の信頼性に問題が生じる。

【非特許文献1】

「International Technology Roadmap for Semiconductors」（1999年編）第163～186頁

【特許文献1】

特開 2000-340569 号公報

【特許文献 2】

特開 2001-274239 号公報

【0015】

【発明が解決しようとする課題】

そこで、特に、配線抵抗を下げた銅配線を層間絶縁膜層に埋め込むダマシン構造を適用した多層配線半導体素子において、素子構造の機械的強度の低下を抑えながら、層間絶縁膜全体の誘電率を下げる方法を検討した。

【0016】

本願発明は上記した技術的背景のもとに、上記の如き誘電率の低い膜と誘電率の高い膜との積層構造にし、かつ、各々の材料の組合せや構造の最適化を図ることによって、絶縁膜自身の電気的な特性と機械的な特性との両立を実現する方法を提案するものである。

【0017】

特に、配線抵抗を下げた銅配線を層間絶縁膜層に埋め込むダマシン構造を適用した積層構造の半導体装置において、層間絶縁膜の機械的強度の低下を抑制しつつ、配線を伝播する信号の遅延を極力低減させた高信頼で高性能な特性を有する半導体装置を可能とした。

【0018】

【課題を解決するための手段】

本発明の半導体装置は、トランジスタ素子や半導体回路部が形成された基板上に、第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、その 3 層を貫通するように形成された導体配線を備えた配線層を複数層積層して形成された半導体装置である。このとき、各配線層を構成する第 1 と第 3 の絶縁層が、シリコン炭化窒化膜、シリコン炭化物又はシリコン酸化物からなり、また、配線層のうち、下層部に位置する配線層の第 2 の絶縁層がシリコン酸化物を含み、上層部に位置する配線層の第 2 の絶縁層がフッ素添加シリコン酸化物又は炭素添加シリコン酸化物を含むようにした。

【0019】

このとき、導体配線として銅配線を構成要素とした場合、第 1 の絶縁膜は銅配線を埋め込むために絶縁膜を開口する際のエッチングストッパー膜となる。また、第 3 の絶縁層は銅配線の拡散バリア膜となる。

【0020】

従来、エッチングストッパー膜や拡散バリア膜はシリコン窒化膜が用いられており、本発明ではシリコン窒化膜より比誘電率の低いシリコン炭化窒化膜（Si-C-N：比誘電率 4.6 程度）、シリコン炭化物（Si-C：比誘電率 4.4 程度）又はシリコン酸化物からなる膜を用いるため、多層積層構造にした配線層全体においても、その比誘電率を低減できる。

【0021】

配線層のうち、上層部に位置する配線層の第 2 の絶縁層がシリコン酸化膜より比誘電率の小さいフッ素添加シリ

コン酸化膜又は炭素添加シリコン酸化膜（比誘電率 2.9 程度）にすることによって、配線層を構成する全ての第 2 の絶縁層がシリコン酸化物とした場合に比べて、配線層全体の比誘電率を低減できる。

【0022】

また、本発明の半導体装置は下層部に位置する配線層の第 2 の絶縁層が比誘電率 3.0 未満の絶縁膜材からなり、上層部に位置する配線層の第 2 の絶縁層がフッ素添加シリコン酸化膜又は炭素添加シリコン酸化膜からなるようにした。即ち、第 2 の絶縁層の構成成分が上層部に位置する配線層と下層部に位置する配線層とで異なるようにし、前者に比較して後者の絶縁膜の比誘電率が小さくなるようにした。

【0023】

また、本発明の半導体装置は、下層部に位置する配線層の第 2 の絶縁層が比誘電率 3.0 未満の特性を有し、SiO₂ を含有する絶縁膜であって、かつ絶縁膜中に存在する微小空孔の半数以上が 0.05 nm 以上 4 nm 以下の直径を有するようにした。本発明では、微小空孔の主要構成が直径 0.05 nm 以上 4 nm 以下であることが望ましい。本発明では、膜中に微小空孔を有することで、膜の密度を低減し、単膜としての比誘電率 3.0 未満と小さくした SiO₂ を含有する絶縁膜を用いることで、多層積層構造の配線層全体ではさらに比誘電率を低減できる。

【0024】

この時、絶縁膜中に微少な空孔を形成して密度を低下させ、真空の比誘電率に近づけるという方法を用いることによって、絶縁膜の比誘電率をシリコン酸化膜の比誘電率より低下させ、特に、この微小空孔の寸法や密度を制御することによって、任意の比誘電率を有する絶縁膜を形成することができる。

【0025】

しかしながら、微小空孔の径が大きくなると絶縁膜自身の構造体としての機械的強度が低下する、又は、絶縁膜を流れるリーク電流が大きくなって絶縁膜としての特徴である絶縁耐圧が低下する等の問題も新たに生じることとなり、絶縁膜中に含有させる空孔の大きさには、細心の注意が必要である。

【0026】

そこで、本発明では、空孔径の範囲を制御することで、絶縁膜の機械的強度や絶縁耐圧の低下を抑制するようにした。このとき、微小空孔の半数以上が 0.05 nm 以上 4 nm 以下の径である場合に、絶縁膜の膜強度を低下させないで信頼性の高い半導体装置が可能となる。

【0027】

上記した微小空孔を有する絶縁膜は、シルセスキオキサン水素化合物又はシルセスキオキサンメチル化合物を主成分とする膜を加熱して得られる SiO₂ を主成分とする絶縁膜で形成される。

【0028】

シルセスキオキサン水素化合物を主成分とする塗布溶液は、一般式 $(\text{HSiO}_3/2)_n$ で表される化合物をメチルイソブチルケトンなどの溶媒に溶解させたものである。また、シルセスキオキサンメチル化合物を主成分とする塗布溶液は、一般式 $(\text{CH}_3\text{SiO}_3/2)_n$ で表される化合物をメチルイソブチルケトンなどの溶媒に溶解させたものである。

【0029】

これらの溶液を基板に塗布し、100～250℃程度の温度で中間加熱したのち、窒素雰囲気中などの不活性雰囲気内にて350～450℃の温度で加熱することにより、Si-O-Siの結合がラダー構造的に形成され、最終的にSiOを主成分とする絶縁膜が形成される。

【0030】

シルセスキオキサン水素化合物又はシルセスキオキサンメチル化合物を主成分とする膜を加熱して得られるSiOを主成分とする絶縁膜において、絶縁膜中に存在する空孔の径を制御する手法として、例えば、シルセスキオキサン (Silsesquioxane) 化合物溶液にメチルイソブチルケトンなどの溶媒以外の成分を含有させ、膜中で本成分が分解した跡が空孔として形成し、成膜温度により分解挙動を変化させることで、空孔形成を制御し、空孔径範囲を選択的な範囲に収めることを可能とする手法が挙げられる。

【0031】

上記した絶縁膜形成用の溶液を塗布する方法としては、回転塗布やスリット塗布又は印刷方式が挙げられる。そして、絶縁膜はこの膜を加熱して形成されるため、高密度に微細な配線を形成した場合であってもCVD法による絶縁膜と比較して、段差の被覆性が良好であって、表面段差を解消できるという点で優位となる。

【0032】

また、Siウエハの大口径化に対して、CVD法を用いて絶縁膜を形成する場合には大型の成膜装置を必要とし、設備コストが素子コストに大きな影響をきたすことになる。これに対して、本発明では塗布・加熱方式で絶縁膜を形成するため、設備コストの大幅な低減が可能であって、製造ラインの投資コスト、さらには素子コストを抑えると言う大きな効果が期待できる。

【0033】

CVD法で絶縁膜を形成する場合は、アルキルシラン化合物、アルコキシシラン化合物を主成分としてソースガスに利用して、ECR (Electron Cyclotron Resonance) プラズマCVD法などで、最終的にSiOを主成分とする絶縁膜を形成する。

【0034】

この場合も、絶縁膜中に存在する空孔の径を制御する手法として、例えば、ソースガスとして熱分解温度の高い成分を含有させ、成膜時に350℃～450℃の加熱に

より、膜中で本成分が分解した跡が空孔として形成される手法が挙げられる。

【0035】

このような手法では、熱分解温度の高い成分を種々選択することで、成膜温度により分解挙動を変化させることが可能で、これにより空孔形成を制御することで、空孔径範囲を選択的な範囲に収めることを可能とする。

【0036】

また、本発明の半導体装置では、半導体装置周辺部からの吸湿、透湿を防ぐために素子装置周辺を囲うように導体配線を形成する材料から構成された隔壁層 (本発明ではガードリングと称する) を素子装置周辺に設ける。これにより、本発明によれば素子周辺や基板と層間絶縁膜の界面から層間絶縁膜内を透過してくる水分を遮蔽し、素子自体の耐湿信頼性を向上させることができる。

【0037】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0038】

(第1の実施例)

第1の実施例では、図1に示すように6層の配線層100を有するCu配線デュアルダマシン構造の6層配線半導体素子を作製した。

【0039】

一般的に良く知られた方法を用いてMOSトランジスタ等の構成素子 (図示省略) を形成した半導体基板101上に、第1配線層100aの第1絶縁層となるシリコン炭化窒化膜102を40nm厚でCVD法を用いて形成した。この第1絶縁層は、配線パターンを形成する開口時にエッチングストッパー膜となる。

【0040】

次に、第1配線層100aの第2絶縁層となるシリコン酸化膜103を400nm厚でCVD法を用いて形成した。

【0041】

次に、第1配線層100aの第3絶縁層となるシリコン炭化窒化膜104を40nm厚でCVD法を用いて形成した。この膜は第2配線層100bの第1絶縁層として配線パターンを形成する開口時にエッチングストッパー膜やCu拡散バリア膜としての役目も果たす。

【0042】

次に、シリコン炭化窒化膜104に開口117を形成した。開口は、フォトリソストを用いて、周知の技術でレジストパターンを形成し、シリコン炭化窒化膜を除去できるエッチングガスを用いて、レジストをマスクにしてドライエッチング方式を用いて形成した (図2(a))。このとき、開口は第1配線層100aの配線寸法となっている。

【0043】

次に、第1配線層100a形成と同様の方法を用いて、第2配線層100bの第2絶縁層となるシリコン酸化膜105を400nm厚で、第3絶縁層となるシリコン炭化窒化膜106を40nm厚で形成した。

【0044】

次に、シリコン炭化窒化膜に開口118を形成した(図2(b))。開口は、フォトリソストを用いて、周知の技術でレジストパターンを形成し、シリコン炭化窒化膜を除去できるエッチングガスを用いて、レジストをマスクにしてドライエッチング方式を用いて形成した。

【0045】

次に、シリコン炭化窒化膜をマスクにしてシリコン酸化膜を除去できるCF系ガスを用いてドライエッチング方式で、シリコン酸化膜105に開口を形成し、その下部でシリコン炭化窒化膜104の開口117が露出する。

【0046】

引き続き、シリコン炭化窒化膜104の開口117をマスクに、シリコン酸化膜103に開口を形成し、その下部でシリコン炭化窒化膜102を露出させた。

【0047】

続いて、シリコン炭化窒化膜を除去できるエッチングガスに切替え、シリコン酸化膜103の開口をマスクに、シリコン炭化窒化膜102をドライエッチング除去し、半導体基板101に貫通する開口を形成した。このとき、シリコン炭化窒化膜104もエッチングされて、最上層のシリコン炭化窒化膜の開口118と同じ寸法に広がる。これにより、半導体基板101に貫通する配線溝119を形成した(図2(c))。

【0048】

次に、配線溝119内面にバリアメタル膜120を形成した後、良く知られたメッキ法を用いてCu121の充填を行った。バリアメタルは、本実施例ではTiNを用いた。

【0049】

そして、最上層であるシリコン炭化窒化膜上に存在する不要なCu膜を除去し、表面を洗浄することで、接続用プラグと配線を同時に形成した。Cu膜の除去には、砥粒としてアルミナ又はシリカを用い、Cu錯化剤、界面活性剤等の添加剤からなる研磨剤を用いた化学機械研磨法(Chemical Mechanical Polishing)を用いることが好都合である。

【0050】

この研磨工程で、最上層に当たるシリコン炭化窒化膜106も研磨除去した。これにより、Cu配線(120と121を含む)を形成したデュアルダマシン構造を作製した(図2(d))。

【0051】

続いて、同様の工程を2度行って第3配線層100c～第6配線層100fを形成し、6層のCu配線構造を得た。このとき、絶縁層106、108、110、112

は、CVD法を用いて成膜したシリコン炭化窒化膜からなり、絶縁層107、109はシリコン酸化膜からなる。また、絶縁層111、113は、フッ素添加シリコン酸化膜からなる。

【0052】

次に、最上層にシリコン窒化膜114を形成して、6層のCu配線115を備える多層配線半導体素子を作製した(図1)。

【0053】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化窒化膜を用い、また、多層構造の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0054】

(第2の実施例)

第1の実施例と同様の手法を用いて、本実施例では絶縁層107、109についてもCVD法を用いてフッ素添加シリコン酸化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0055】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化窒化膜を用い、また、多層構造の1/3以上の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0056】

(第3の実施例)

第1の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0057】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0058】

(第4の実施例)

第2の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0059】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0060】

(第5の実施例)

第1の実施例と同様の手法を用いて、本実施例では絶縁層111、113について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0061】

これにより、多層構造の上層部において、シリコン酸化膜より比誘電率の小さい炭素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0062】

(第6の実施例)

第2の実施例と同様の手法を用いて、本実施例では絶縁層107、109、111、113について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0063】

また、多層構造の1/3以上の上層部において、シリコン酸化膜より比誘電率の小さい炭素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0064】

(第7の実施例)

第5の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0065】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0066】

(第8の実施例)

第6の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0067】

これにより、エッチングストッパー膜や拡散バリア膜と

して、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0068】

(第9の実施例)

第1の実施例と同様の手法を用いて、本実施例では絶縁層103、105、107、109について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0069】

これにより、多層構造の下層部において、比誘電率の低い炭素添加シリコン酸化膜を絶縁膜に用い、また、多層構造の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0070】

(第10の実施例)

第2の実施例と同様の手法を用いて、本実施例では絶縁層103、105について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0071】

これにより、多層構造の下層部において、比誘電率の低い炭素添加シリコン酸化膜を絶縁膜に用い、また、多層構造の1/3以上の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0072】

(第11の実施例)

第3の実施例と同様の手法を用いて、本実施例では絶縁層103、105、107、109について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0073】

これにより、多層構造の下層部において、比誘電率の低い炭素添加シリコン酸化膜を絶縁膜に用い、また、多層構造の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用い、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0074】

(第12の実施例)

第4の実施例と同様の手法を用いて、本実施例では絶縁層103、105について、CVD法を用いて炭素添加シリコン酸化膜を成膜し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0075】

これにより、多層構造の下層部において、比誘電率の低い炭素添加シリコン酸化膜を絶縁膜に用い、また、多層構造の1/3以上の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用い、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0076】

(第13の実施例)

第1の実施例と同様の手法を用いて、本実施例では、絶縁層103、105、107、109について、シルセスキオキサン水素化合物を主成分とするメチルイソブチルケトン溶液を、塗布方法を用いて基板の上に形成した後、窒素雰囲気中で、ホットプレートを用いて100℃で10分間、次いで150℃で10分間、230℃で10分間の加熱を行った。

【0077】

そしてさらに、窒素雰囲気中炉体を用いて350℃で30分間加熱することによって、Si-O-Si結合をラダー構造的に形成し、最終的にはSiOを主成分として、空孔形成を制御した微小空孔を膜中に有する絶縁膜を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。開口形成は、SiOをエッチングできるCF系ガスを用いて、ドライエッチング方式で行った。

【0078】

本実施例の場合は、図3に示すように、0.05nm以上4nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する絶縁膜であり、比誘電率は2.3程度である。

【0079】

径分布は、理学電機(株)製X線薄膜構造解析装置(型式:ATX?G)を用いて得られるX線反射測定データと散漫散乱X線測定データを基に、球状散乱体を想定した散乱関数に基づく理論散乱強度と比較して、散乱体の径分布を算出することで求めた。

【0080】

また、上述の微小空孔を膜中に有する絶縁膜は、ヤング率12Gaの特性を有する。これら特性は、米国MTSシステムズ社製Nano indenter XPを使用したインデンテーション測定法を用い、Siウエハ上に形成した膜厚250nmの同膜について、総膜厚の1/5の表層点での硬度によって上述の膜硬度を求めた。

【0081】

また、ヤング率も総膜厚の1/5の表層点での値であり、熔融石英のポアソン比0.17を基に換算した。同様の手法で求めた同程度の膜厚のp-TEOS膜は、ヤング率70Gaの特性を有する。

【0082】

これから、上述の微小空孔を膜中に有する絶縁膜は、p-TEOS膜の約17%のヤング率を有する膜で、特開2000-340569号公報に記載されている低誘電率膜に比べて、機械的特性に優れた低誘電率絶縁膜が得られた。

【0083】

これにより、多層構造の下層部において、比誘電率が2.5未満で膜強度に優れた絶縁膜を用い、また、多層構造の上層部において、シリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げ、素子構造の機械的強度の低下を抑えながら高性能の半導体装置が得られた。

【0084】

(第14の実施例)

第13の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。

【0085】

次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0086】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用い、また、微小空孔を膜中に有する絶縁膜を用いて、空孔径を規定することで機械的特性に優れた低誘電率絶縁膜が得られる。

【0087】

そして、さらには多層積層構造の下層部において、第2の絶縁層として比誘電率が2.5未満で膜強度に優れた絶縁膜を用い、また、多層構造の上層部において、第2の絶縁層にシリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げ、素子構造の機械的強度の低下を抑えながら高性能の半導体装置が得られた。

【0088】

(第15の実施例)

第13の実施例と同様の手法を用いて、本実施例では、絶縁層103、105、107、109について、シルセスキオキサン水素化合物を主成分とするメチルイソブチルケトン溶液を、塗布方法を用いて基板の上に形成した後、窒素雰囲気中で、ホットプレートを用いて100℃で10分間、次いで150℃で10分間、230℃で10分間の加熱を行った。

【0089】

そしてさらに、窒素雰囲気中炉体を用いて350℃で30分間加熱することによって、Si-O-Si結合をラダー構造的に形成し、最終的にはSiOを主成分とし

て、空孔形成を制御した微小空孔を膜中に有する絶縁膜を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。開口形成は、SiO₂をエッチングするガスを用いて、ドライエッチング方式で行った。

【0090】

本実施例の場合は、図4に示すように、0.05nm以上1nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する絶縁膜であり、比誘電率は2.7程度である。

【0091】

径分布は、X線薄膜構造解析装置を用いて得られるX線反射測定データと散漫散乱X線測定データを基に、球状散乱体を想定した散乱関数に基づく理論散乱強度と比較して、散乱体の径分布を算出することで求めた。

【0092】

また、上述の微小空孔を膜中に有する絶縁膜は、ヤング率11GPaの特性を有する。これら特性は、Nanoindenter XPを使用したインデンテーション測定法を用い、Siウエハ上に形成した膜厚250nmの同膜について、総膜厚の1/5の表層点での硬度によって上述の膜硬度を求めた。

【0093】

また、ヤング率も総膜厚の1/5の表層点での値であり、熔融石英のポアソン比0.17を基に換算した。同様の手法で求めた同程度の膜厚のp-TEOS膜は、ヤング率70GPaの特性を有する。

【0094】

これから、上述の微小空孔を膜中に有する絶縁膜は、p-TEOS膜の約16%のヤング率を有する膜で、特開2000-340569号公報に記載されている低誘電率膜に比べて、機械的特性に優れた低誘電率絶縁膜が得られた。

【0095】

以上により、多層積層構造の下層部において、第2の絶縁層として比誘電率が3.0未満で膜強度に優れた絶縁膜を用い、また、多層積層構造の上層部において、第2の絶縁層にシリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げ、素子構造の機械的強度の低下を抑えながら高性能の半導体装置が得られた。

【0096】

(第16の実施例)

第15の実施例と同様の手法を用いて、本実施例では絶縁層102、104、106、108、110、112について、CVD法を用いてシリコン炭化膜を成膜した。次に、最上層にシリコン窒化膜114を形成し、6層のCu配線115を備える多層配線半導体素子を作製した。

【0097】

これにより、エッチングストッパー膜や拡散バリア膜と

して、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用い、また、微小空孔を膜中に有する絶縁膜を用いて、空孔径を規定することで機械的特性に優れた低誘電率絶縁膜が得られた。そして、多層積層構造の下層部において、第2の絶縁層として比誘電率が3.0未満で膜強度に優れた絶縁膜を用い、また、多層構造の上層部において、第2の絶縁層にシリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げ、素子構造の機械的強度の低下を抑えながら高性能の半導体装置が得られた。

【0098】

(第17の実施例)

第17の実施例は、Cu配線デュアルダマシン構造の形成に適用した例であって、図5(a)～(d)の工程図を用いて説明する。

【0099】

一般的に良く知られた方法を用いてMOSトランジスタ等の構成素子(図示省略)を形成した半導体基板501上に、第1配線層の第1絶縁層となるシリコン炭化窒化膜502を40nm厚でCVD法を用いて形成した。この第1絶縁層は、配線パターンを形成する開口時にエッチングストッパー膜となる。

【0100】

次に、シルセスキオキサン水素化合物を主成分とするメチルイソブチルケトン溶液を、塗布方法を用いて基板の上に形成した後、窒素雰囲気中で、ホットプレートを用いて100℃で10分間、次いで150℃で10分間、230℃で10分間の加熱を行った。そしてさらに、窒素雰囲気中炉体を用いて350℃で30分間加熱することによって、Si-O-Si結合をラダー構造的に形成し、最終的にはSiO₂を主成分として、図3に示すように、0.05nm以上4nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する比誘電率2.3程度の絶縁膜を形成し、第1配線層の第2絶縁層503とした。

【0101】

次に、第1配線層の第3絶縁層となるシリコン炭化窒化膜504を40nm厚でCVD法を用いて形成した。この膜は、第2配線層の第1絶縁層として配線パターンを形成する開口時にエッチングストッパー膜やCu拡散バリア膜としての役目も果たす。

【0102】

次に、シリコン炭化窒化膜504に開口517を形成した。開口は、フォトリソストを用いて、周知の技術でレジストパターンを形成し、シリコン炭化窒化膜を除去できるエッチングガスを用いて、レジストをマスクにしてドライエッチング方式を用いて形成した(図5(a))。このとき、開口は第1配線層の配線寸法となっている。

【0103】

次に、第1配線層の第2絶縁層503形成と同様の方法を用いて、第2配線層の第2絶縁層となる、図3に示すように0.05nm以上4nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する比誘電率2.3の絶縁層505を400nm厚で、第3絶縁層となるシリコン炭化窒化膜506を40nm厚で形成した。

【0104】

次に、シリコン炭化窒化膜に開口518を形成した（図5（b））。開口は、フォトリソを用いて、周知の技術でレジストパターンを形成し、シリコン炭化窒化膜を除去できるエッチングガスを用いて、レジストをマスクにしてドライエッチング方式を用いて形成した。

【0105】

次に、シリコン炭化窒化膜をマスクにして微小空孔を有するSiO膜を除去できるガスを用いてドライエッチング方式で、絶縁層505に開口を形成し、その下部でシリコン炭化窒化膜504の開口517が露出する。

【0106】

引き続き、シリコン炭化窒化膜504の開口517をマスクに、絶縁層503に開口を形成し、その下部でシリコン炭化窒化膜502を露出させた。続いて、シリコン炭化窒化膜を除去できるエッチングガスに切替え、絶縁層503の開口をマスクに、シリコン炭化窒化膜502をドライエッチング除去し、半導体基板501に貫通する開口を形成した。このとき、シリコン炭化窒化膜504もエッチングされて、最上層のシリコン炭化窒化膜の開口518と同じ寸法に広がる。これにより、半導体基板501に貫通する配線溝519を形成した（図5（c））。

【0107】

次に、配線溝119内面にバリアメタル膜120を形成した後、良く知られたメッキ法を用いてCu121の充填を行った。バリアメタルは、本実施例ではTiNを用いた。

【0108】

そして、化学機械研磨法を用いて最上層であるシリコン炭化窒化膜上に存在する不要なCu膜を除去し、表面を洗浄することで、接続用プラグと配線を同時に形成した。この研磨工程で、最上層に当たるシリコン炭化窒化膜506は研磨除去せずに残した。これにより、Cu配線（520及び521を含む）を形成したデュアルダマシン構造を作製した（図5（d））。

【0109】

上記のように、層間絶縁膜層の主要な構成層である第2の絶縁層503に比誘電率の低い膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られる。

【0110】

本実施例の構成では配線層を2層積層した構造である

が、配線層を2回以上繰り返して積み上げることで多層配線構造を有する半導体装置が得られる。

【0111】

（第18の実施例）

第17の実施例と同様にして、本実施例では第2の絶縁層503について図4に示すように、0.05nm以上1nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する比誘電率2.7程度のSiO絶縁膜を形成し、Cu配線を形成したデュアルダマシン構造を作製した。

【0112】

これにより、層間絶縁膜層の主要な構成層である503に関して、比誘電率の低い膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られる。さらにまた、配線層を2回以上繰り返して積み上げることで多層配線構造を有する高性能の半導体装置が容易に得られる。

【0113】

（第19の実施例）

図6は第19の実施例である半導体ロジック素子の断面図である。半導体基板601上に既知のSTI（Shallow Trench Isolation）を用いて素子分離膜領域602を形成し、この素子分離膜領域602内部にMOSトランジスタ603を形成する（トランジスタ部のハッチングは図を見易くするために省略した）。そして、既知のCVD法を用いて50nm程度のシリコン酸化膜604と500nm程度のBPSG（ボロン・リン・シリケートガラス）膜605とを、MOSトランジスタ603を含み、半導体基板601の表面に順次形成した後、例えば800～900℃の窒素雰囲気中でリフローアニールする。

【0114】

次に、シリカ砥粒を用いた化学機械研磨法を用いてBPSG膜605の表面を平坦化研磨した後、コンタクトホールを形成し、このコンタクトホール内に、CVD法によりタングステンの埋め込みを行い、導電プラグ606を形成する。この時、BPSG膜605の表面上に存在する不要なタングステンは既知のエッチバック法により除去されている。

【0115】

次に、第17の実施例と同様にして、第1配線層の第1絶縁層となるシリコン炭化窒化膜607を40nm厚でCVD法を用いて形成した。この第1絶縁層は、配線パターンを形成する開口時にエッチングストッパー膜となる。

【0116】

次に、シルセスキオキサン水素化合物を主成分とするメチルイソブチルケトン溶液を、塗布方法を用いて基板の上に形成した後、窒素雰囲気中で、ホットプレートを用いて100℃で10分間、次いで150℃で10分間、

230℃で10分間の加熱を行った。そしてさらに、窒素雰囲気中炉体を用いて350℃で30分間加熱することによって、Si-O-Si結合をラダー構造的に形成し、最終的にはSiOを主成分として、図3に示すように、0.05nm以上4nm以下の直径を有する空孔を主として含む分布特性を有する微小空孔が存在する比誘電率2.3程度の絶縁膜を形成し、第1配線層の第2絶縁層608とした。

【0117】

次に、第1配線層の第3絶縁層となるシリコン炭化窒化膜609を40nm厚でCVD法を用いて形成した。この膜は、第2配線層の第1絶縁層として配線パターンを形成する開口時にエッチングストッパー膜やCu拡散バリア膜としての役目も果たす。

【0118】

次に、シリコン炭化窒化膜609に開口を形成した。開口は、フォトリソストを用いて、周知の技術でレジストパターンを形成し、シリコン炭化窒化膜を除去できるエッチングガスを用いて、レジストをマスクにしてドライエッチング方式を用いて形成した。このとき、開口は第1配線層の配線寸法となっている。

【0119】

次に、第1配線層の第2絶縁層608形成と同様の方法を用いて、第2配線層の第2絶縁層610を400nm厚で、第3絶縁層となるシリコン炭化窒化膜611を40nm厚で形成した。

【0120】

次に、シリコン炭化窒化膜に開口を形成した。そして、このシリコン炭化窒化膜をマスクにして微小空孔を有するSiO膜を除去できるガスを用いてドライエッチング方式で、絶縁層610に開口を形成し、その下部でシリコン炭化窒化膜609が露出する。

【0121】

引き続き、シリコン炭化窒化膜609の開口をマスクに、絶縁層608に開口を形成し、その下部でシリコン炭化窒化膜607を露出させた。そして、シリコン炭化膜を除去できるエッチングガスに切替え、絶縁層608の開口をマスクに、シリコン炭化窒化膜607をドライエッチング除去し、導電プラグ606に貫通する開口を形成した。

【0122】

このとき、シリコン炭化窒化膜609もエッチングされて、最上層のシリコン炭化膜の開口と同じ寸法に広がる。これにより、導電プラグ606に貫通する配線溝を形成した。

【0123】

次に、配線溝内面にバリア金属膜を形成した後、良く知られたメッキ法を用いてCuの充填を行った。バリア金属は、本実施例ではTiNを用いた。そして、化学機械研磨法を用いて最上層であるシリコン炭化窒化膜上

に存在する不要なCu膜を除去し、表面を洗浄することで、接続用プラグと配線を同時に形成した。この研磨工程で、最上層に当たるシリコン炭化膜611は研磨除去せずに残した。これにより、Cu配線を形成したデュアルダマシン構造を作製した。

【0124】

以上の工程を繰り返して4層配線構造体を形成した。続いて、同様の工程を繰り返してさらに2層の配線構造を積み上げた。このとき、絶縁層617、619、621はシリコン炭化窒化膜を用いて40nm厚で形成した。また、絶縁層618、620は、フッ素添加シリコン酸化膜を用いて600nm厚で形成した。次に、最上層にシリコン窒化膜622を形成し、6層のCu配線623を備える多層配線半導体素子を作製した。

【0125】

これにより、エッチングストッパー膜や拡散バリア膜として、シリコン窒化膜より比誘電率の低いシリコン炭化膜を用い、多層積層構造の下層部において、第2の絶縁層として比誘電率が2.5未満で膜強度に優れた絶縁膜を用い、また、その上層部において、第2の絶縁層にシリコン酸化膜より比誘電率の小さいフッ素添加シリコン酸化膜を用いることで、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得られた。

【0126】

(第20の実施例)

図7に、第20の実施例である樹脂封止された半導体ロジック装置の断面図を示す。第19の実施例で得られ、ボンディングパッド部を除いてポリイミド表面保護膜702を形成した状態の半導体ロジック装置701に、別途設けられているダイボンディング工程におけるリードフレームに固定する。その後、半導体ロジック装置701に設けられたボンディングパッド部とリードフレームの外部端子705の間を、ワイヤーボンダーを用いて金線704を配線した。

【0127】

次に、日立化成工業(株)製のシリカ含有ビフェニル系エポキシ樹脂を用いて、半導体ロジック装置701、外部端子705等を包み込むように樹脂封止部703を形成した。封止条件は、成型温度180℃、成型圧力70kg/cm²であるが、これに限定されるものではない。最後に、外部端子706を所定の形に折り曲げることにより、樹脂封止型半導体ロジック装置の完成品が得られる。

【0128】

樹脂封止された半導体ロジック装置の層間絶縁膜の一部には、比誘電率の小さいが機械的強度の低下を十分に抑制した絶縁膜が使用されているので、ワイヤボンディングプロセスや樹脂封止プロセスにおいて、半導体ロジック素子にかかる応力に対して、素子内部にクラックが発生することなく、樹脂封止品が得られる。

【0129】

また、半導体ロジック素子の特性として第19の実施例で説明した同様の効果を奏することは言うまでもなく、さらに樹脂封止されているので外部環境に対して安定な特性を発揮することが可能である。

【0130】

(第21の実施例)

図8は、第21の実施例を説明するための断面図であって、第19の実施例で説明した半導体ロジック素子をウエハレベルチップサイズパッケージ構造の製品の製造に用いた場合である。

【0131】

半導体ロジック素子801の最上層シリコン窒化膜802上にボンディングパッド部803を露出させる形状でポリイミド絶縁膜804を形成する。次に、再配列配線805を形成する。本実施例では、再配列配線は、Ti、N、Cu、Niをスパッタ法で成膜した3層からなり、成膜後に周知のフォトリソ技術で配線パターンを形成したものである。

【0132】

さらにその上にポリイミド絶縁膜806を形成した。このポリイミド絶縁膜806を貫いて再配列配線805の一部の領域で電気的な接続を行うためのアンダーバンプメタル層807を設けた。アンダーバンプメタル層はCr、Ni、Auの3層形成した。このアンダーバンプメタル層807の上にハンダバンプ808が形成されている。

【0133】

高速駆動の可能な半導体ロジック素子そのものは第19の実施例で述べた方法によってウエハ上に形成することができるため、本実施例によってウエハの状態ではハンダバンプを有する半導体ロジックパッケージ装置が実現する。

【0134】

誘電率の低い層間絶縁膜層を適用することで、従来製品に比べて高性能の半導体ロジック素子はすでに得られている。しかしながら、パッケージ半導体製品をプリント基板などに実装搭載する場合に、本実施例のようなパッケージ構造を適用することで、素子とプリント基板間の信号伝播を高速に行えることが可能となり、半導体ロジック素子の性能をさらに引き出せることが可能となる。

【0135】

(第22の実施例)

図9に、第22の実施例を説明するための素子端部の断面図(図9(a))及びウエハ平面概念図(図9(b))を示す。

【0136】

シリコン基板901にはMOSトランジスタ等の半導体素子906やこれらの素子を含む半導体回路部が形成されており、この基板901の上に上記で説明した配線層

が形成されている。そして、この半導体素子906やこれらの素子を含む半導体回路部を囲むように、配線層を構成する導体からなる材料を用いてガードリング層905が配置されている。このガードリング層905によって、半導体素子906やこれらの素子を含む半導体回路部を外部からの水分の浸入を防ぐことができる。このガードリング層905は、導体配線を形成する工程において形成される。

【0137】

10 これにより、特に低誘電率特性を示す層間絶縁膜として空孔を有する絶縁膜を適用した場合、孔内部への水分の透過や吸着の問題点を解決し、半導体素子自体の耐湿信頼性を向上させた半導体装置を提供できる。

【0138】

以上、実施例を用いて詳細に説明したが、本発明並びに実施例を達成するための諸条件等はこれらの実施例に何ら限定されるものではない。

【0139】

【発明の効果】

20 以上説明したように、配線抵抗を下げた銅配線を層間絶縁膜層に埋め込むダマシン構造を適用した多層積層配線を有する半導体素子において、エッチングストッパー膜や拡散バリア膜としてシリコン窒化膜より小さい比誘電率の膜を用い、そして多層積層構造の下層部と上層部における絶縁膜を異なるようにすることで、素子全体の機械的強度を高め、かつ、層間絶縁膜全体の誘電率を下げた高性能の半導体装置が得ることができる。

【図面の簡単な説明】

【図1】第1の実施例で作製した積層構造の半導体装置の断面図である。

30 【図2】第1の実施例で作製した半導体装置を説明するための工程図である。

【図3】絶縁膜中に存在する空孔の径分布を説明するための図である。

【図4】絶縁膜中に存在する空孔の径分布を説明するための図である。

【図5】第17の実施例で作製した積層構造の半導体装置を説明するための工程図である。

40 【図6】第19の実施例で作製した半導体ロジック装置を説明するための断面図である。

【図7】第20の実施例で作製した樹脂封止型半導体装置を説明するための断面図である。

【図8】第21の実施例で作製したウエハレベルチップサイズパッケージ構造半導体装置を説明するための断面図である。

【図9】第22の実施例で作製したガードリング構造を有する半導体装置を説明するための断面図及び平面図である。

【符号の説明】

50 101…半導体基板、102…1層配線層の第1絶縁

膜、103…1層配線層の第2絶縁膜、104…1層配線層の第3絶縁膜/2層配線層の第1絶縁膜、105…2層配線層の第2絶縁膜、106…2層配線層の第3絶縁膜/3層配線層の第1絶縁膜、107…3層配線層の第2絶縁膜、108…3層配線層の第3絶縁膜/4層配線層の第1絶縁膜、109…4層配線層の第2絶縁膜、110…4層配線層の第3絶縁膜/5層配線層の第1絶縁膜、111…5層配線層の第2絶縁膜、112…5層配線層の第3絶縁膜/6層配線層の第1絶縁膜、113…6層配線層の第2絶縁膜、114…最表面パッシベーション膜（シリコン窒化膜）、115…導体配線層、117…開口、118…開口、119…配線溝、120…バリアメタル膜、121…導体層、501…半導体基板、502…1層配線層の第1絶縁膜、503…1層配線層の第2絶縁膜、504…1層配線層の第3絶縁膜/2層配線層の第1絶縁膜、505…2層配線層の第2絶縁膜、506…2層配線層の第3絶縁膜、517…開口、518…開口、519…配線溝、520…バリアメタル膜、521…導体層、601…半導体基板、602…素子分離膜領域、603…MOSトランジスタ、604…シリコン酸化膜、605…BPSG（ボロン・リン・シリケートガラス）膜、606…導電プラグ、607…1層配線層の第1絶縁膜、608…1層配線層の第2

【図1】

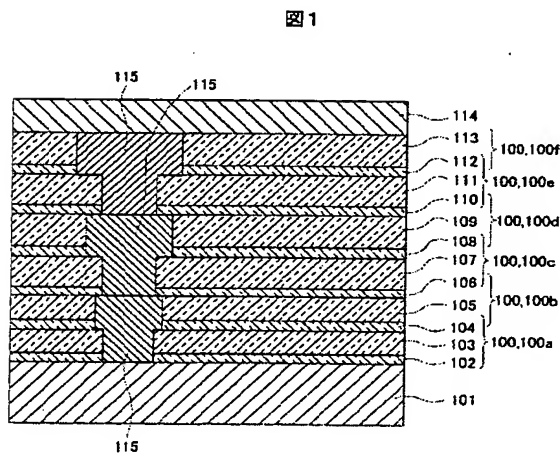


図1

絶縁膜、609…1層配線層の第3絶縁膜/2層配線層の第1絶縁膜、610…2層配線層の第2絶縁膜、611…2層配線層の第3絶縁膜、612…3層配線層の第1絶縁膜、613…3層配線層の第2絶縁膜、614…3層配線層の第3絶縁膜/4層配線層の第1絶縁膜、615…4層配線層の第2絶縁膜、616…4層配線層の第3絶縁膜、617…5層配線層の第1絶縁膜、618…5層配線層の第2絶縁膜、619…5層配線層の第3絶縁膜/6層配線層の第1絶縁膜、620…6層配線層の第2絶縁膜、621…6層配線層の第3絶縁膜、622…最表面パッシベーション膜（シリコン窒化膜）、623…導体配線層、701…半導体ロジック装置、702…チップコート膜、703…樹脂封止部（エポキシ樹脂）、704…金線、705…リードフレーム、706…外部端子、801…半導体基板、802…SiNパッシベーション膜、803…ボンディングパッド、804…絶縁膜層、805…再配列配線、806…絶縁膜層、807…アンダーバンプメタル層、808…はんだ、901…半導体基板、902…パッシベーション膜（シリコン窒化膜）、903…スクライブライン、904…ガードリング層、905…素子装置周辺ガードリング層、906…半導体素子。

【図2】

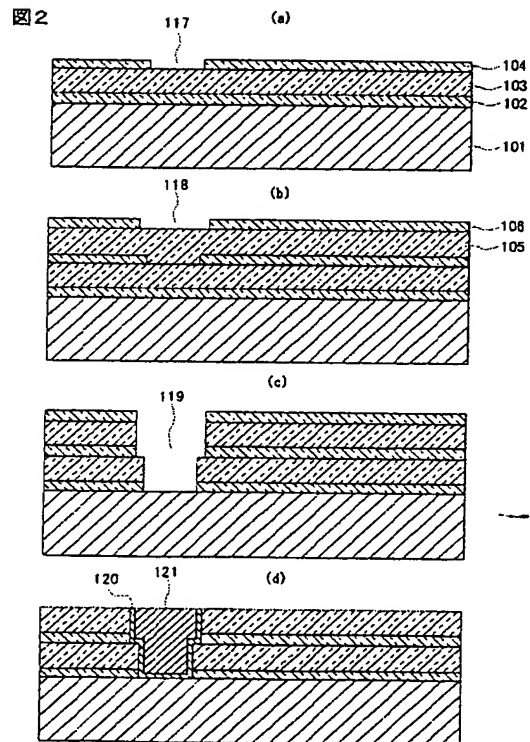
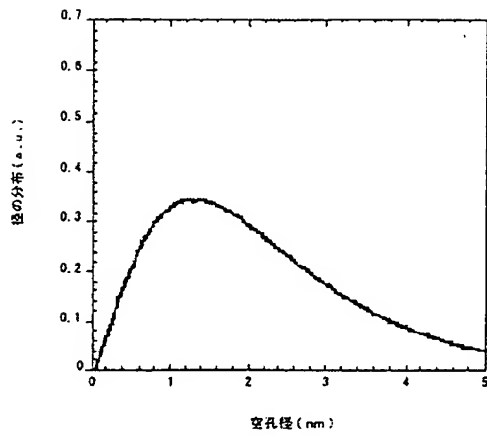


図2

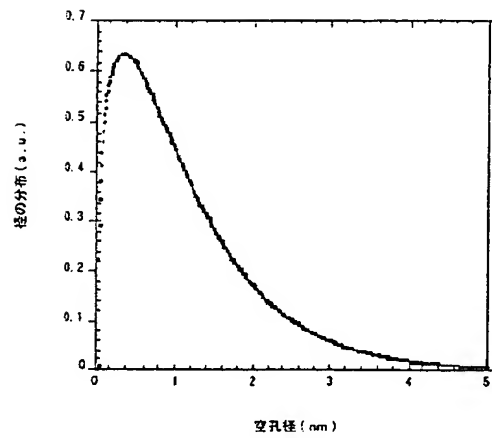
【図 3】

図 3



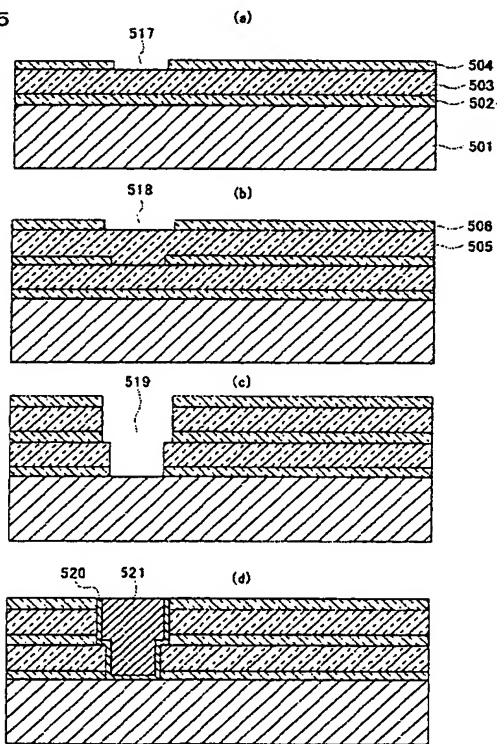
【図 4】

図 4



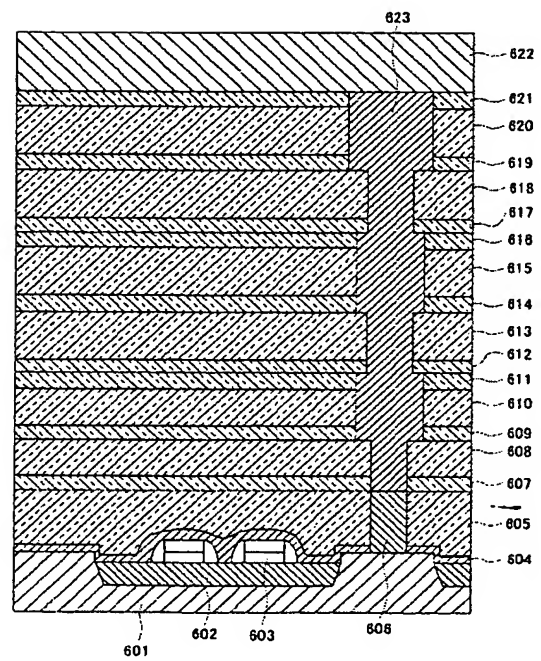
【図 5】

図 5



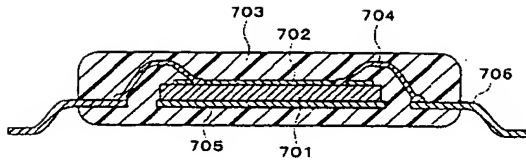
【図 6】

図 6



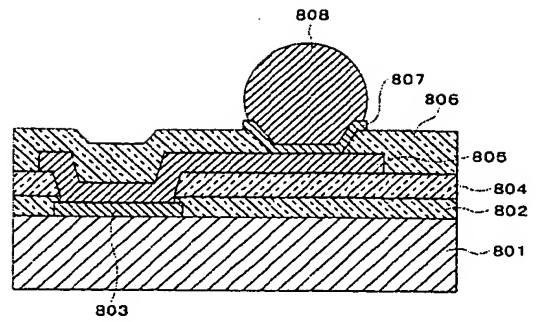
【図 7】

図 7



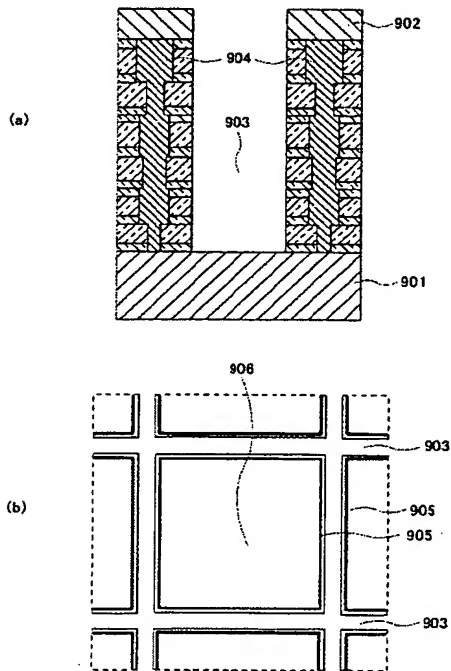
【図 8】

図 8



【図 9】

図 9



フロントページの続き

(72)発明者 尾形 潔

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立製作所生産技術研究所内

(72)発明者 鈴木 康道

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

(72)発明者 堀田 勝彦

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

F ターム(参考) 5F033 HH07 HH11 HH13 HH17 HH33 JJ01 JJ07 JJ11 JJ19 JJ33

KK01 KK11 KK33 MM02 MM08 MM12 MM13 NN06 NN07 PP15

PP27 PP28 QQ08 QQ09 QQ10 QQ11 QQ25 QQ28 QQ30 QQ31

QQ37 QQ48 QQ74 RR01 RR04 RR05 RR06 RR09 RR11 RR15

RR22	RR29	SS11	SS21	TT02	VV07	WW01	XX01	XX17	XX24
XX27									
5F058	BA20	BD02	BD04	BD07	BD18	BF02	BF46	BH01	BJ02